

PATENT ABSTRACTS OF JAPAN

09/830,361

(11) Publication number : 07-263619
 (43) Date of publication of application : 13.10.1995

(51) Int. Cl. H01L 25/04
 H01L 25/18

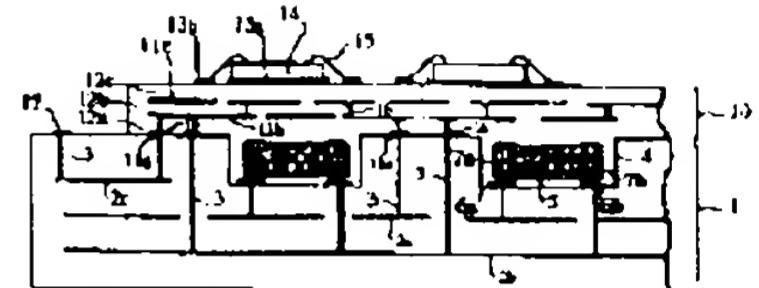
(21) Application number : 06-046615 (71) Applicant : TOSHIBA CORP
 (22) Date of filing : 17.03.1994 (72) Inventor : ITO KENJI

(54) SEMICONDUCTOR DEVICE

(57) Abstract:

PURPOSE: To cut down the wiring length from a power supply layer and a grounding layer to a chip capacitor for effectively abating the switching noise by a method wherein the chip capacitor is buriedstructured in a base substrate to be connected between a power supply layer and a grounding layer provided in a base substrate or thin film multilayer wiring part.

CONSTITUTION: A cavity 4 is formed on the surface of a base substrate 1 so as to contain a chip capacitor 5. Next, a terminal pad 6a and another terminal pad 6b are formed on the bottom part of the cavity 4 so as to respectively connect to the first and second terminal electrodes 7a and 7b. The terminal electrodes 7a, 7b are connected to terminal pads 6a, 6b by a wax material etc. In such a constitution, the chip capacitor 5 is almost directly connected to a grounding layer 2a and a power supply layer 2b so that the inductance of wiring may be reduced simultaneously giving notable effect on the noise abatement.



LEGAL STATUS

[Date of request for examination] 23.02.2000
 [Date of sending the examiner's decision of rejection]
 [Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]
 [Date of final disposal for application]
 [Patent number]
 [Date of registration]
 [Number of appeal against examiner's decision of rejection]
 [Date of requesting appeal against examiner's decision of rejection]
 [Date of extinction of right]

(19) 日本国特許序 (J P)

(12) 公開特許公報 (A)

(11)特許出願公開番号

特開平7-263619

(43)公開日 平成7年(1995)10月13日

(51) Int.Cl.⁶

H O L 25/04
25/18

識別記号

庄内整理器号

F I

技術表示箇所

11011, 25/04

2

審査請求 未請求 請求項の数 5 O.L. (全 7 頁)

(21)出願番号

特願平6-46615

(71) 出願人 000003078

株式会社東芝

神奈川県川崎市幸区堀川町72番地

(22)出願日 平成6年(1994)3月17日

(72) 発明者 伊藤 健志

神奈川県川崎市幸区堀川町580番1号 株
式会社東芝半導体システム技術センター内

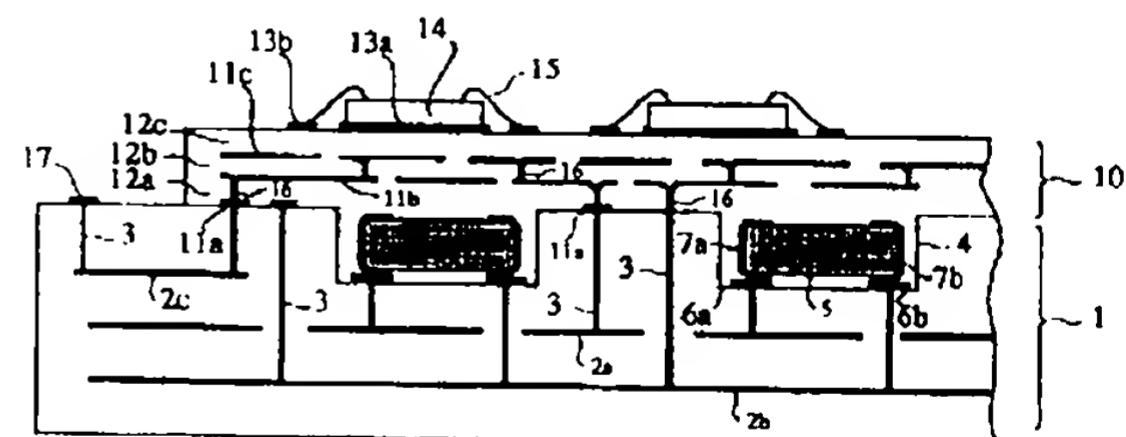
(74)代理人弁理士則近憲佑

(54) [発明の名称] 半導体装置

(三) 【要約】

【構成】 本実験装置は、基板上に薄膜多層配線部を設け、その上に半導体素子を搭載接続する形態である。半導体素子は、図1に示すように、半導体装置の基板上、主回路と並行して、各々の電源端子間に、基板上に埋め込まれた、基板上に薄膜多層配線部が形成され、主回路と並行して、各々の電源端子間に、基板上に薄膜多層配線部が設けられており、電源端子と接続する間に、接続する。

【結果】 電源頻率上調表連續工作六小時，電壓不變，線長在無人干涉時，不變。一且上了起碼，不能降低，以至不能成爲我名之電。當頻率升到某點之後，不能在更遠的距離上，看來是無所謂的，但其導體表面之經載荷擇之，有下述之現象：一、當頻率在起碼以上時，其導體表面之電荷，將隨着頻率之增加而增加，並在某一定值時，不再增加。二、當頻率在起碼以下時，其導體表面之電荷，將隨着頻率之降低而減少，並在某一定值時，不再減少。



の方法が行われている。一つはセラミックのキャバシタをMCM基板の表面（薄膜多層配線部の表面）または裏面（ベース基板の裏面）に表面実装する方法である。他方一つはMCM基板内部にデカッフリングキャバシタを形成する方法である。前者において基板表面に搭載した場合は、デカッフリングキャバシタの分布計面積を導有するため、デカッフリングキャバシタを搭載すればするほど基板サイズが大きくなるという問題を生じる。また、一般的にチップキャバシタはLSIチップと比較して厚いことから、その厚さが厚くなるといふ問題も生じる。

【0008】チップキャバシタをMCM基板裏面(マザーボード裏面)に設置する場合には、同上くMCM基板裏面に配設される放熱ワイヤン(高速動作するMCMは発熱も多大となるため放熱ワイヤンが必須となる)を避けるために、LSI近傍には設置できない。そのためチップキャバシタキャバシタまでの電源または接地のインダクタンスが大きくなり、同時にノイズシングルノイズ低減効果が減少する。また、MCM基板裏面へのチップキャバシタ実装の工程が増加する上にも注、チップキャバシタを放熱ワイヤンの接続材料に温度差を以て不要である等の工程が煩雑となる。

【0.009】MCM基板内部打孔力、打孔直径及打孔深度在形成时不能大于10μm、半径0.5μm。从基板制造上除应力外必须同时形成打孔力去应力孔，以不增加张力系数、诱导体及逆电极的电荷限制，且高容量互连力。并且在打孔时不能实现垂直、侧别，制作工艺方法或干涉等方法并用，设计打孔形状，有以下問題が生じる。

$$[0\ 0\ 1\ 0]$$

【発明の解決手段】本発明は、上記の課題に鑑みてなされたもので、その目的を達する手段は、安価なキャハシタを最も効率の良い形様で実装し、基板サイズを増加させることなく同時にインダクタサイズを低減できるMCM型半導体装置を提供することにある。

[0 0 1 1]

素子上在用傳本名之多特徵上而以名

【0012】前記電源層と前記接地層は、 \pm -スラスター内部に設けられ、 \pm -スラスターの内側に位置する。薄膜多層配線部の内部に設計されていてもよい。あるいは、一方が \pm -スラスター内部に、他方が薄膜多層配線部内部に設計されていてもよい。

【0013】上記のアセチルセルロースは積層型のセラミック系の成形体を用い、薄膜多層配線部は鋼を主な構成元素とし、導体層と、半導子又はその絶縁層を交互に積層して形成する。

[()]

【作用】チップキャパシタをベース基板に埋め込み構造としたため、各の上に薄膜多層配線部を形成することができる。そしてこのチップキャパシタをベース基板上には薄膜多層配線部に設けられた電源層と接地層の間に接続しているので、電源層および接地層からチップ式キャパシタまでの配線長を短くすることができる。従って配線のインダクタンスを低減できるため、同時にインダクタノイズを効果的に減少することが可能となる。

【0015】其他部件、例如图1至图4所示的搭载位移传感器、摄像头、MCM基板等可能在本发明中被使用。摄像头可以用来配置成各种各样的形式，例如，可以在一个或多个基板内嵌入的形式或者在MCM基板上用各种技术实现。

【0016】リードチャージ多層化鋼別に製作方法を積層法で、リードチャップやバッタを使用する事なく、小型化面積を容量が得られる。安価である。主に薄膜多層配線部は該電率の低いシリコン下地基層とし、導体抵抗を低く抑える導体層に用いている。又耐熱容量を低下せしむる事無し、同時にスイッチングノイズを軽減する上に有効である。

$$\{ (0, 0, 1, \bar{r}) \}$$

【0018】 王者と云甚麼の表記は、即ち「王」の字を「王」の字の上に「者」と書いたものである。中國の古文書では、この「者」と字を「者」と字の上に「王」の字を書くのが普通である。

a、第2の端子電極7 bを接続するための端子ハッド6 bが形設されている。前記チップ或いはシタ5の端子電極7 a、7 bは各々材(図示せず)等に上り端子ハッド6 a、6 bに接続されている。チップ基板1の表面とチップ或いはシタ5の表面には段差があり、凹部4とチップ或いはシタ6との間に有空間部があるが、薄膜多層配線部の絶縁層と同等の樹脂で充填し表面を平坦化してある。

【0049】上記様に形成された、請求項1の基板1の表面上に薄膜多層配線部10が形成される。即ち、請求項1の基板1の表面上導出部(前記第1～4層)導出部上部Cu为主体とする薄膜第1導体層11a、電極部分下11aが形成され、薄膜多層配線部10の直接続部となる。上の上部Cu層下部等の薄膜絕縁層12aを複数し、これに上部信号層となる第2薄膜導体層11b、第2薄膜絶縁層12b、他の信号層となる第3薄膜導体層11c、第3薄膜絶縁層12cを順次積層し、最上層には半導体素子11dを搭載接続するためのダブルパック13a、求レジスター等パック13bを形成し、所望の導体層間を電子部材14～16で接続する上に、更に薄膜多層配線部10が形成される。前記半導体素子11dは導電性樹脂(接着剤)等で前記ダブルパック13aと搭載され、求レジスター等パック13bは求レジスターパック13bと接続され、更に前記薄膜多層配線部10の層板上部に限る、若しくはその附近に、主回路構成部を有する。

【0020】上記構成のMCMの各構成部分は次のようにして製造される。先ず、一基板上にアルミニウム(A1)とオキシ化アルミニウム(Al₂O₃)を導電性ガラス(CALN)を主材とするグリーンを、上に示す構成順序を所定の寸法に切断する。次に電子部品用開口部やその他の開口部をハンドル等で開口し、電子部品用開口部にはタングステンワイヤー等を埋め込む。次に導体パッケージをタングステンワイヤー等をスクレーブ印刷性樹脂にて封止形成する。この様に加工されたグリーンシートを所要の枚数積層し、同時に焼成する。焼成後は多層の一基板が得られる。

【0021】圖3.1.1所顯示之基板1之構成不填式的江承1為圓形的凹槽，其深度是最上層的厚度之半（下2.1倍），而其半徑較小，以至最適逕之半開口部12.1。由於此半徑之半開口部12.1與外緣半徑之半開口部12.2相等，故此半開口部12.1與外緣半開口部12.2為一對對稱的半開口部。

【002】四月十一日午後，到新嘉坡，設置多處各類空氣、水、電、瓦斯、土、沙、石、礦物等樣品。並在該處設立一個小博物館，以備研究之用。

【0023】図3(c)は接地層を示しており、アクリルシート21cにはヴィアホール23cが穿孔されており、タンクスランベーストが充填されている。更に面状の接地層26がヴィアホール23cの周辺を囲んで、詳しくタンクスランベーストで形成されている。

【0024】図3(d)は最下層の電源層を示すもので、グリーンシート2-1dに面状の導体層2-7がラジオスケンベーストで印刷で形成されている。上記の4枚のクリーンシートを図の順番で積層・焼付し、1500~1600°Cの還元雰囲気炉で焼成するによって図3(d)断面図に示す様な二層基板が完成する。これに対し、図3(e)は二層基板上に相当する二枚のチップセラバットを直接接着された端子パッド2-4にはねて付けたもので、N型の端子を施したものである。

【0025】次に回路4に搭載する多層コンデンサの各部
11、容量として1000pF~10,000pF程度が必要で、個別に
小型チップキャパシタとしては、チタニ酸ルリウム等不
誘電体による積層型セラミックチップキャパシタが好適
である。本実施例では1.0~0.5×1.0×mmの形状を採用
して使用した。セラミックチップキャパシタの取付方法は、
基板への取付方法は、前述する薄膜多層配線構造技術の
処理温度に耐えられるものとすると全く同じ方法、すなはち
絶縁層12にシリコンを用いた場合では、焼成温度が100°C
程度まで焼成する前から焼付ける好適である。
通常セラミックチップ式のセラミック電極は銀上に
スルホカーボン焼成されていて、更に銀粉を等量の
糊として糊、アクリル樹脂等に載置し銀粉を等量の
糊として糊に糊を接続する。絶縁層12の上に糊を
塗る場合には200°C以下の低温で糊を活性化して
シタによる接続が可能となる。

【0026】主たるチップセミバシタ吉田開部1に搭載する直後には、チップ基板1の表面をチップセミバシタ吉田の表面には段差があるのに、この未溝切は次の薄膜工程を行なうことができない。そこで開部1の窓隔部を図5に點線的に示すように、充填樹脂3-1により埋め込み、チップ基板1の表面を平坦化する必要がある。充填樹脂3-1としては薄膜多層配線部1-0の絶縁層1-2と同一のもの、例えば水性不燃樹脂であってもよく、異形不燃樹脂でもよい。耐湿性を有する水性不燃樹脂代りに吸湿性が少ない樹脂を用い、充填樹脂3-1を複数回重ねて長期保存が可能となる。

一
1

【0028】次に蒸着スパッタにてCuバリメタル/Cu/バリアメタルの第1導体層を一々基板全面に形成する。ノサトレスストラスセンにて、露毛、現像し、所定の必要ハターン以外の部分をロットンで除去すると共に上り電極ハッド12aを形設す。なおバリアメタルはCuとホリスミドの接着力向上と、Cuがホリスミド前駆体である以上にCuに侵されるのを防ぐために使用されるもので、AlやTiが使用される。

【0029】次に感光性ポリマーをスピンコート等により塗布し、基板全面に平坦なポリマー層を形成する。その後露光現像する。露光するには、図16用の開口部を開け、露光する位置に上記第1絶縁層1-2aを形成せず

【0030】その後同様な工程を経て、第1導電層1-1-a、第2導電層1-1-b、第2絕縁層1-2-b、第3導電層1-1-c、第3絕縁層1-2-c、ワイヤレス1-1-6が形成される。最上層にはダイヤフラム1-3-a、ボンディングダイヤフラム1-3-b等の半導体素子取付用の遮板を形成する。半導体素子1-4は図示した導電性層、第1導電層1-1-aに搭載され、半導体素子1-4と第1導電層1-1-aにてボンディングダイヤフラム1-3-bに接続される。半導体素子の取付はTAB (Tape Automatic Bumping) 方式によることで、接続性を保つことができる。

【0034】第七十副電極尚未形成前，第十一副電極樹脂3-1
尚未充填至、電極小-1-1-2-a-1形狀時，手動停止，
石墨、第1鍍錫層1-2-a-1形狀半圓時進行第十二步長，
即為電極小-1-1-2-a全形狀後，充填樹脂3-1在圓柱1
已充填，但未到頂，第七十一副第1鍍錫層1-2-a在壓縮
並平坦化處理在七十一副上，第七十一副電極小-1-1-2-a
的形狀時，即、即都已在第七十一副上等，者需另外要
求。

【0032】主なノイズ基板上に構成図6の示す様に、チップをシルク取付用の端子6-a、6-bを接地層2-a上同一面に設計し、層全厚減を実現することができる。また、層2-cを接地層2-aに開け下地布材6-d、接地層2-e設計上若干の制約が加わるが、ノイズ基板の強化化が効果有る。

【0033】以上說明了「樣品本質的」、「樣品
之化學性質」、「樣品上所含鐵之直接地轉化為
游離之鐵」、「直接各性質」、「配銀」、「又以
不加減水」、「同時又不加氯化物」、「減去」、「依
之而轉變之方法」。

5.3 b と電源層 5.3 c と接続される構成となっており、チップキャリア 4.5 は絕縁性の接着剤 4.6、例えばポリイミド樹脂で開部 4.1 の底面に接着される。またに開部 4.4 の空隙部をポリイミド等の充填樹脂 4.7 で充填し、後、前記チップキャリア 4.5 の端子電極 4.8 a、4.8 b との接続用の穿孔をフォトエッチング等により行う。その後第 1 の実施例と同様に薄膜多層配線部の形成を行なう。

【0035】即ちベニス基板11の表面に前処理を施し、蒸着アーノックにてCuを主体とした第1導体層を形成し、ハダルシングするこにより電極ハッド53a、外部接続端子52、端子電極48と接続ヴィア52を介して接続する引き出し線53a'等を形設する。次にシリコン樹脂の第1絕縁層51aをスピンドルコート等により塗布し、引き出し線53a'への接続ヴィア55、56、その他のヴィアホール57のための開口をワイヤーホーリング等により形成する。

【0036】さらに第2導体層(接地面)53bを上記と同様な方法で形成・ハサードシタ、同時に接続端子55、56、その他端子アース57を形成する。これにより、第2導体層53bとチップ部の各引線15の第1の端子電極18aとの接続が接続端子55を介して形成する。

【0037】右の上にホリスミドの第2絶縁層5-1 bを形成し、接続端子5-6 cに連接する接続端子5-6 dを有り他の端子5-7 eを5-7 fのための開口を行。右の上に第3導体層(電源層)5-3 cを形成し、同時に接続端子5-6 dを形成する右側面上のチップ部分、並びに5-5の第2の端子電極4-8 bと第3導体層5-3 cとの接続が形成される。

【0.03.8】以下第3絕縁層5.4.c、第4導体層(信号層)5.3.d、第4絕縁層5.4.d、第5導体層(信号層)5.3.e、第5絕縁層5.4.eを同様な方法で順次積層し、最上層に電子回路5.8、ポンディングバー5.9等全形設する。電子回路5.8には半導体素子6.0が搭載され、ポンディングワイヤ5.1を介してポンディングバー5.9に接続される。

【0039】 本構成をもとに、チップキャリア上にMCMを直接貼付し、MCMと電源層53c)の距離を接続する導線を省略する。これによりショックランスが減少し同時に、チップキャリア上の熱の逃げが可能となる。更に、チップキャリア上に直接貼付した場合、MCM内蔵の電気回路、ヒートパイプ、熱障壁を損傷する可能性がある。一方、チップキャリア上に薄型化したMCMを用いるMCM全体を「一薄型化」することで、直接貼付による距離(53b)、電源層(53c)、信号層(53d)、53e)の配置順序は上記実施例と異なれても構成可能となる。順序が入れ替わる場合、

【四〇十一】《日本金匱》(宋晁公遡刻本)卷之二。大發明
十二經脉之病。或曰：「十二經脉，諸病之根本，此則不可
不知也。」又曰：「上南更而下北。」又舉出十二經脉。一曰：

10

層前の構成を示す断面図

【図4】本発明の第1の実施例に係るベース基板の積層後の状態を示す断面図

【図5】本発明の第1の実施例に係るベース基板にチップキャセッタを取付け、充填樹脂で充填した状態を示す断面図

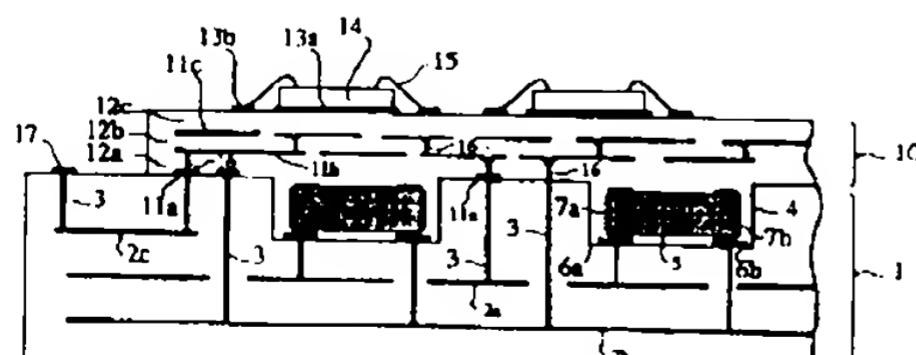
【図6】本発明の第1の実施例に係るベース基板の変形例を示す断面図

【図7】本発明の第2の実施例に係る半導体装置の断面図

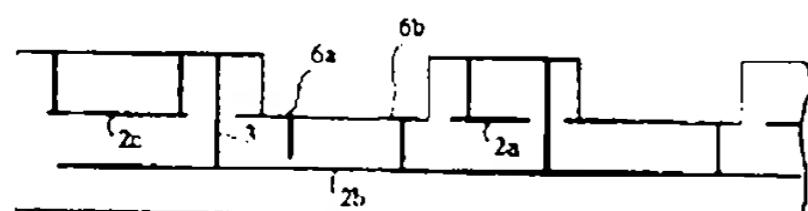
【符号の説明】

- 1 ... ベース基板
- 2 a ... 接地層
- 2 b ... 電源層
- 2 c ... 引出配線
- 3 ... 端子部
- 4 ... 開部 (キャセッタ)
- 5 ... チップキャセッタ
- 6 a, 6 b ... 端子ハサミ
- 7 a, 7 b ... 端子電極
- 10 ... 薄膜多層配線部
- 11 a ... 電極 (1-1) (第1導体層)
- 11 b ... 第2導体層
- 11 c ... 第3導体層
- 12 a ... 第1遮絶層
- 12 b ... 第2遮絶層
- 12 c ... 第3遮絶層
- 13 a ... タンパク質
- 13 b ... プリントドット
- 14 ... 樹脂
- 15 ... 外部接続端子

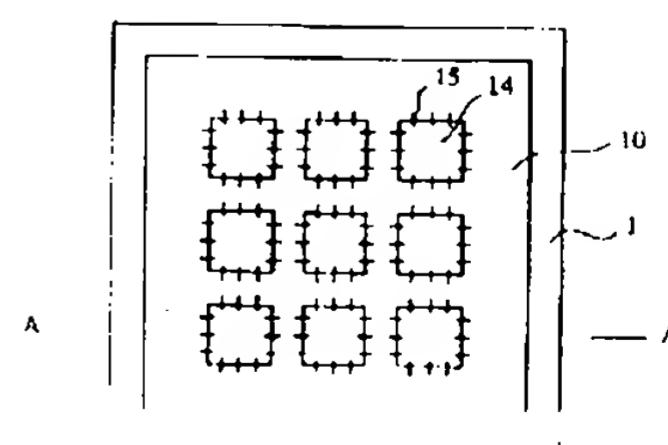
【図1】



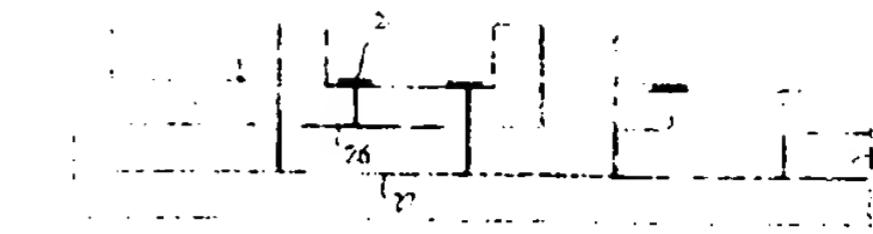
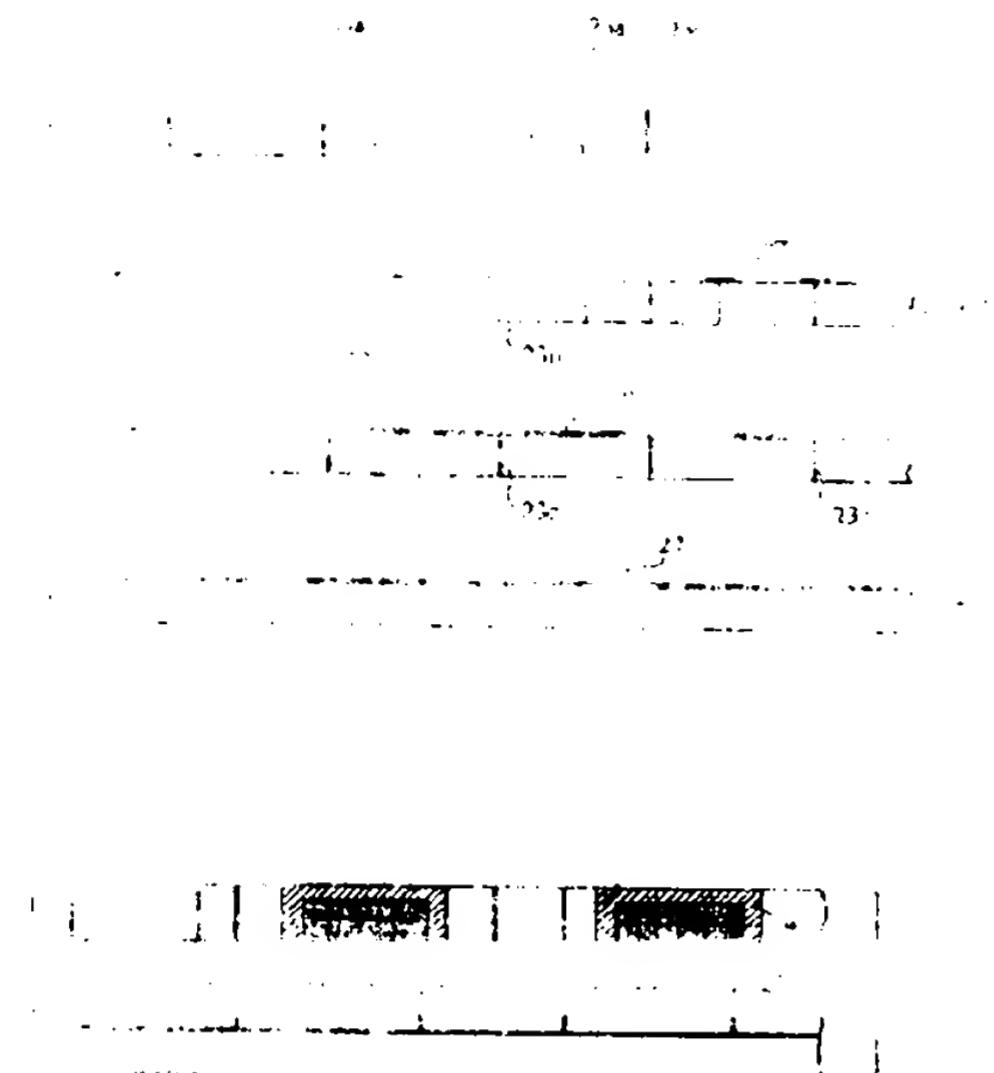
【図6】



【図2】



【図4】



【図5】

